

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-196067

(P2000-196067A)

(43) 公開日 平成12年7月14日 (2000.7.14)

(51) IntCl ⁷	識別記号	F I	テマコード (参考)
H 0 1 L 29/778		H 0 1 L 29/80	H 5 F 0 4 5
21/338		21/205	5 F 1 0 2
29/812			
21/205			

審査請求 未請求 請求項の数10 O L (全 11 頁)

(21) 出願番号 特願平10-372600

(22) 出願日 平成10年12月28日 (1998.12.28)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 寺口 信明

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(74) 代理人 100062144

弁理士 青山 葆 (外1名)

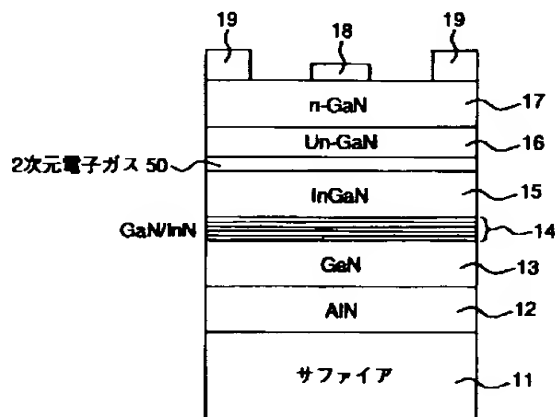
最終頁に続く

(54) 【発明の名称】 窒化物系III-V族化合物半導体装置

(57) 【要約】

【課題】 組成分布の均一なInGa_xN_{1-x}混晶を備え、チャネル電子移動度の大きな窒化物系III-V族化合物半導体装置を提供する。

【解決手段】 この窒化物系III-V族化合物半導体装置は、InGa_xN_{1-x}チャネル層15をGa_{0.5}N_{0.5}/In_{0.5}N_{0.5}多層膜14の上に形成したから、組成分布が均一なInGa_xN_{1-x}チャネル層15を形成できる。その結果、従来よりも大きな電子移動度を有するHFETを実現できる。



【特許請求の範囲】

【請求項1】 InGa_NからなるInGa_Nチャネル層が、Ga_NおよびIn_Nで構成されたGa_N/In_N多層膜の上に形成されていることを特徴とする窒化物系III-V族化合物半導体装置。

【請求項2】 請求項1に記載の窒化物系III-V族化合物半導体装置において、上記Ga_N/In_N多層膜が、2対以上のGa_N/In_N構造からなることを特徴とする窒化物系III-V族化合物半導体装置。

【請求項3】 請求項1または2に記載の窒化物系III-V族化合物半導体装置において、上記Ga_N/In_N多層膜は、その平均面内格子定数が上記InGa_Nチャネル層の面内格子定数と同じになるように、Ga_NとIn_Nの層厚比が設定されていることを特徴とする窒化物系III-V族化合物半導体装置。

【請求項4】 InGa_NからなるInGa_Nチャネル層が、AlNおよびIn_Nで構成されたAlN/In_N多層膜の上に形成されていることを特徴とする窒化物系III-V族化合物半導体装置。

【請求項5】 請求項4に記載の窒化物系III-V族化合物半導体装置において、上記AlN/In_N多層膜が、2対以上のAlN/In_N構造からなることを特徴とする窒化物系III-V族化合物半導体装置。

【請求項6】 請求項4または5に記載の窒化物系III-V族化合物半導体装置において、上記AlN/In_N多層膜は、その平均面内格子定数が上記InGa_Nチャネル層の面内格子定数と同じになるように、AlNとIn_Nの層厚比が設定されていることを特徴とする窒化物系III-V族化合物半導体装置。

【請求項7】 InGa_NからなるInGa_Nチャネル層と、バルクのGa_Nあるいはラテラル成長によるGa_N厚膜を材料として用いたGa_N基板を備えたことを特徴とする窒化物系III-V族化合物半導体装置。

【請求項8】 InGa_NからなるInGa_Nチャネル層が、Al_xGa_yIn_{1-x-y}N_z (0 ≤ x ≤ 1, 0 ≤ y ≤ 1) 膜の上に形成されたサーフィスリアクタント層の上に形成されていることを特徴とする窒化物系III-V族化合物半導体装置。

【請求項9】 請求項8に記載の窒化物系III-V族化合物半導体装置において、上記サーフィスリアクタント層が、Li, Be, Na, Mg, K, Ca, Zn, S, Se, Teのうちの少なくとも1つで構成されていることを特徴とする窒化物系III-V族化合物半導体装置。

【請求項10】 請求項8または9に記載の窒化物系III-V族化合物半導体装置において、上記サーフィスリアクタント層の表面被覆率が1以下で

あることを特徴とする窒化物系III-V族化合物半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、窒化物系III-V族化合物半導体装置に関し、特に、高出力、高周波および高温特性に優れた2次元電子ガスを用いた半導体装置に関する。

【0002】

10 【従来の技術】2次元電子ガスを利用する半導体デバイスとしては、ヘテロ構造電界効果型トランジスタ(HFET)、高電子移動度トランジスタ(HEMT)、および変調ドープ電界効果型トランジスタ(MODFET)が挙げられる。このような2次元電子ガスを利用する半導体デバイスでは、GaAs系材料を用いたものが開発されている。

【0003】従来のGaAs系HFETでは、一般的に、図6に示すように、半絶縁性GaAs基板101上に、順次、アンドープGaAsバッファ層102(膜厚1μm, キャリア濃度3×10¹⁶cm⁻³)、アンドープAlGaAsスペーサ層103(膜厚10nm, キャリア濃度1×10¹⁷cm⁻³)、n型AlGaAsドナー層104(膜厚20nm, キャリア濃度1×10¹⁸cm⁻³)、n型GaAsキャップ層105(膜厚10nm, キャリア濃度3×10¹⁸cm⁻³)が形成されている。なお、図6において、107はゲート電極、108はソース/ドレイン電極である。また、500は2次元電子ガスである。

【0004】また、従来、上記GaAs系HFETとはほぼ同様な構造をしていて、窒化物系III-V族化合物半導体を用いたHFETトランジスタの構造が報告されている(米国特許US5192987)。この窒化物系III-V族化合物半導体を用いたトランジスタは、図7に示すように、サファイヤからなる絶縁性基板201上に、順次、AlN低温成長バッファ層202(膜厚20nm)、Ga_Nバッファ層203(膜厚2μm, キャリア濃度8×10¹⁶cm⁻³)、AlGa_Nドナー層204(膜厚20nm, キャリア濃度1×10¹⁸cm⁻³)を積層した構造になっていて、チャネルとしてGa_Nを用いている。なお、図7において、500は2次元電子ガスである。

40 【0005】また、窒化物系III-V族化合物半導体を用いた今1つのトランジスタとして、図8に示すように、絶縁性基板301上のAlN低温成長バッファ層302(膜厚20nm)、Ga_Nバッファ層303(膜厚3μm)、AlN障壁層304(膜厚3nm)、Ga_Nチャネル層305(膜厚100nm)からなる逆構造のHFETが見られる(Electron.Lett. 31(1995)1951頁)。なお、図8において、500は2次元電子ガスである。

【0006】

【発明が解決しようとする課題】ところで、図9に示すように、チャネル層として一般に用いられるGa_Nの電

子移動度は、キャリア濃度が $1 \times 10^{18} \text{ cm}^{-3}$ の場合に約 $200 \text{ cm}^2/\text{Vs}$ 、キャリア濃度が $1 \times 10^{17} \text{ cm}^{-3}$ の場合に約 $400 \text{ cm}^2/\text{Vs}$ であり、SiCなどの他のワイドバンドギャップ材料に比べて電子移動度が一桁程度大きい。もっとも、このGa_{0.5}N_{0.5}チャネルの電子移動度は、GaAs系HFETで用いられるGaAsチャネルの電子移動度に比べて、一桁程度小さな値になる。

【0007】また、前記GaAs系HFETでは、特開昭63-161678号公報に記載されているように、チャネルの材料として、より電子移動度の大きなInGaAs混晶をAlGaAs/GaAs界面に挿入することも行われており、窒化物系半導体装置にも同様な手法を用いることができると考えられた。

【0008】しかしながら、窒化物系III-V族半導体装置においては、InGa_{0.5}N_{0.5}混晶の結晶性あるいは平坦性に問題があり、電子移動度が必ずしも大きくはならないので、GaAs系HFETのInGaAsチャネル層のような効果は期待できない。何故ならば、InGa_{0.5}N_{0.5}混晶の組成が場所によって不均一になるからである。

【0009】しかしながら、均一な組成分布を有するInGa_{0.5}N_{0.5}混晶が得られたならば、Ga_{0.5}N_{0.5}チャネルよりも、電子移動度を向上させることができると考えられる。

【0010】そこで、この発明の目的は、組成分布の均一なInGa_{0.5}N_{0.5}混晶を備え、チャネル電子移動度の大きな窒化物系III-V族化合物半導体装置を提供することにある。

【0011】

【課題を解決するための手段】発明者らが鋭意研究を重ねた結果、上記目的を達成するためには、以下に記載する構造が有効であることが分かった。

【0012】すなわち、請求項1の発明の窒化物系III-V族化合物半導体装置は、InGa_{0.5}N_{0.5}からなるInGa_{0.5}N_{0.5}チャネル層が、Ga_{0.5}N_{0.5}およびIn_{0.5}N_{0.5}で構成されたGa_{0.5}N_{0.5}/In_{0.5}N_{0.5}多層膜の上に形成されていることを特徴としている。

【0013】この請求項1の発明では、上記InGa_{0.5}N_{0.5}チャネル層を上記Ga_{0.5}N_{0.5}/In_{0.5}N_{0.5}多層膜の上に形成したから、組成分布が均一なInGa_{0.5}N_{0.5}チャネル層を形成できる。その結果、従来よりも大きな電子移動度を有するHFETを実現できる。

【0014】InGa_{0.5}N_{0.5}膜を、Ga_{0.5}N_{0.5}およびIn_{0.5}N_{0.5}からなる多層膜の上に成長することによって、歪のエネルギーを低減でき、したがって、InGa_{0.5}N_{0.5}膜の組成分布を均一化でき、Ga_{0.5}N_{0.5}よりも移動度の大きいInGa_{0.5}N_{0.5}膜を成長できるのである。

【0015】なお、Ga_{0.5}N_{0.5}上に、直接InGa_{0.5}N_{0.5}膜を成長させると、歪のエネルギーによってInGa_{0.5}N_{0.5}膜の組成分布が均一にならず、Ga_{0.5}N_{0.5}よりも移動度が低下する。

【0016】また、請求項2の発明は、請求項1に記載の窒化物系III-V族化合物半導体装置において、上記Ga_{0.5}N_{0.5}/In_{0.5}N_{0.5}多層膜が、2対以上のGa_{0.5}N_{0.5}/In_{0.5}N_{0.5}構造からなることを特徴としている。

【0017】この請求項2の発明では、Ga_{0.5}N_{0.5}/In_{0.5}N_{0.5}多層膜を、2対以上のGa_{0.5}N_{0.5}/In_{0.5}N_{0.5}構造で構成したから、歪のエネルギーをより低減でき、InGa_{0.5}N_{0.5}チャネル層の組成分布をより一層均一化でき、電子移動度のより大きなHFETを実現できる。

【0018】また、請求項3の発明は、請求項1または2に記載の窒化物系III-V族化合物半導体装置において、上記Ga_{0.5}N_{0.5}/In_{0.5}N_{0.5}多層膜は、その平均面内格子定数が、上記InGa_{0.5}N_{0.5}チャネル層の面内格子定数と同じになるように、Ga_{0.5}N_{0.5}とIn_{0.5}N_{0.5}の層厚比が設定されていることを特徴としている。

【0019】この請求項3の発明では、Ga_{0.5}N_{0.5}/In_{0.5}N_{0.5}多層膜の平均面内格子定数が、InGa_{0.5}N_{0.5}チャネル層の面内格子定数と同じになるように、Ga_{0.5}N_{0.5}とIn_{0.5}N_{0.5}の層厚比が設定されているから、歪のエネルギーを最小にすることが可能になり、より好ましい。

【0020】より具体的には、Ga_{0.5}N_{0.5}、In_{0.5}N_{0.5}、InGa_{0.5}N_{0.5}の面内格子定数を、 a_{GaN} 、 a_{InN} 、 a_{InGa} とした場合、 $a_{\text{InGa}} = a_{\text{GaN}} [1 + f G_{\text{InN}} h_{\text{InN}} / (G_{\text{GaN}} h_{\text{GaN}} + G_{\text{InN}} h_{\text{InN}})] = a_{\text{InN}} [1 - f G_{\text{GaN}} h_{\text{GaN}} / (G_{\text{GaN}} h_{\text{GaN}} + G_{\text{InN}} h_{\text{InN}})]$ となるように、Ga_{0.5}N_{0.5}、In_{0.5}N_{0.5}の層厚を決める(ここで、 f は格子不整、 h は層厚、 G は(剪断弾性係数(shear moduli))である)。

【0021】また、請求項4の発明の窒化物系III-V族化合物半導体装置は、InGa_{0.5}N_{0.5}からなるInGa_{0.5}N_{0.5}チャネル層が、Al_{0.5}N_{0.5}およびIn_{0.5}N_{0.5}で構成されたAl_{0.5}N_{0.5}/In_{0.5}N_{0.5}多層膜の上に形成されていることを特徴としている。

【0022】この請求項4の発明では、InGa_{0.5}N_{0.5}チャネル層が、Al_{0.5}N_{0.5}/In_{0.5}N_{0.5}多層膜の上に形成されているから、組成分布が均一なInGa_{0.5}N_{0.5}層を形成することができ、その結果、より大きな移動度を有するHFETを実現できる。

【0023】Al_{0.5}N_{0.5}/In_{0.5}N_{0.5}多層膜の上に、InGa_{0.5}N_{0.5}チャネル層を成長することによって、歪のエネルギーを低減でき、InGa_{0.5}N_{0.5}チャネル層の組成分布を均一化でき、Ga_{0.5}N_{0.5}よりも移動度の大きいInGa_{0.5}N_{0.5}チャネル層を形成できるのである。

【0024】なお、Al_{0.5}N_{0.5}上に、直接InGa_{0.5}N_{0.5}を成長した場合には、歪のエネルギーによってInGa_{0.5}N_{0.5}膜の組成分布が均一にならず、Ga_{0.5}N_{0.5}よりも移動度が低下する。

【0025】また、請求項5の発明は、請求項4に記載の窒化物系III-V族化合物半導体装置において、上記Al_{0.5}N_{0.5}/In_{0.5}N_{0.5}多層膜が、2対以上のAl_{0.5}N_{0.5}/In_{0.5}N_{0.5}構造からなることを特徴としている。

【0026】この請求項5の発明では、AlN/InN多層膜が、2対以上のAlN/InN構造で構成されているから、歪のエネルギーをより低減でき、InGaNチャネル層の組成分布をより一層均一化でき、電子移動度のより大きなHFEETを実現できる。

【0027】また、請求項6の発明は、請求項4または5に記載の窒化物系III-V族化合物半導体装置において、上記AlN/InN多層膜は、その平均面内格子定数が、上記InGaNチャネル層の面内格子定数と同じになるように、AlNとInNの層厚比が設定されていることを特徴としている。

【0028】この請求項6の発明では、AlN/InN多層膜の平均面内格子定数が、InGaNチャネル層の面内格子定数と同じになるように、AlNとInNの層厚比を設定したので、歪のエネルギーを最小にすることが可能となり、より好ましい。

【0029】具体的には、AlN、InN、InGaNの面内格子定数を、 a_{AlN} 、 a_{InN} 、 a_{InGaN} とした場合、 $a_{InGaN} = a_{AlN} [1 + f G_{InN} h_{InN} / (G_{AlN} h_{AlN} + G_{InN} h_{InN})]$
 $= a_{InN} [1 - f G_{AlN} / (G_{AlN} h_{AlN} + G_{InN} h_{InN})]$ となるように、AlN、InNの層厚が決められている(ここで、fは格子不整、hは層厚、Gは(shear modulus)である)。

【0030】また、請求項7の発明は、InGaNからなるInGaNチャネル層と、バルクのGaNあるいはラテラル成長によるGaN厚膜を材料として用いたGaN基板を備えたことを特徴としている。

【0031】この請求項7の発明では、基板材料としてバルクのGaNあるいはラテラル成長によるGaN厚膜を用いたので、上に述べた効果がさらに大きくなる。

【0032】その理由は、バルクあるいは厚膜の上に、InGaN膜を成長させた場合には、サファイア基板などの上にInGaN膜を成長した時に比べて、InGaN膜がより理想的な無歪の状態に近づいて、組成分布の不均一さがさらに小さくなるからである。

【0033】また、請求項8の発明は、InGaNからなるInGaNチャネル層が、 $Al_xGa_{1-x}In_{1-y}N$ ($0 \leq x \leq 1, 0 \leq y \leq 1$)膜の上に形成されたサーフィスリアクタント層の上に形成されていることを特徴としている。

【0034】この請求項8の発明では、InGaNチャネル層が $Al_xGa_{1-x}In_{1-y}N$ ($0 \leq x \leq 1, 0 \leq y \leq 1$)膜の上に形成されたサーフィスリアクタント層の上に形成されている。このように、基板とInGaNチャネル層との間に、サーフィスリアクタント層を挿入することによって、3次元的な膜の成長を2次元的な膜の成長に変えることが可能となり、InGaNチャネル層の組成分布をより均一化できる。

【0035】また、請求項9の発明は、請求項8に記載

の窒化物系III-V族化合物半導体装置において、サーフィスリアクタント層が、Li、Be、Na、Mg、K、Ca、Zn、S、Se、Teのうちの少なくとも1つで構成されている。

【0036】この請求項9の発明では、サーフィスリアクタント層が、Li、Be、Na、Mg、K、Ca、Zn、S、Se、Teのうちの少なくとも1つで構成されているから、3次元的な膜の成長を2次元的な膜の成長に変えることができ、InGaNチャネル層の組成分布をより均一化できる。

【0037】なお、サーフィスリアクタント層をSi、Geなどで構成すると、3次元的な膜の成長を促進するので、サーフィスリアクタント層としては好ましくない。

【0038】また、請求項10の発明は、請求項8または9に記載の窒化物系III-V族化合物半導体装置において、上記サーフィスリアクタント層の表面被覆率が1以下であることを特徴としている。

【0039】この請求項10の発明では、上記サーフィスリアクタント層の表面被覆率が1以下であるから、その上に成長されるInGaNチャネル層の結晶性を劣化させることがない。

【0040】なお、サーフィスリアクタント層の表面被覆率が1を超えると、その上に成長されるInGaNチャネル層の結晶性が劣化する。なお、サーフィスリアクタント層とは、結晶の表面エネルギーを変化させるために挿入される層のことである。

【0041】この発明では、InGaNをチャネル材料として用いているが、これは組成分布の無いInGaNの移動度が、GaNの移動度よりも優れているからである。また、 $In_xGa_{1-x}N$ の組成としては、 $x > 0$ の範囲であればよい。

【0042】このようにして、組成分布の無いGaNよりも移動度が大きいInGaN膜を得ることが可能となり、このInGaN膜をチャネル層として用いることによって、チャネル電子移動度の大きな窒化物系III-V族化合物半導体装置を実現できる。

【0043】

【発明の実施の形態】以下、この発明を図示の実施の形態に基づいて詳細に説明する。

【0044】〔第1の実施の形態〕図1に、この発明の第1の実施の形態である窒化物系HFEETの概要を表す断面を示す。

【0045】この窒化物系HFEETは、(0001)サファイア基板11、膜厚20nmの低温成長AlNバッファ層12、キャリア濃度 $5 \times 10^{16} \text{ cm}^{-3}$ 、膜厚2 μm のアンドープGaNバッファ層13、膜厚20nm/20nm、5周期のアンドープGaN/InN多層膜14が順次積層されている。さらに、このアンドープGaN/InN多層膜14の上に、キャリア濃度 $4 \times 10^{17} \text{ cm}$

³, 膜厚10nmのIn_{0.2}Ga_{0.8}Nチャネル層15、キャリア濃度 $5 \times 10^{16} \text{ cm}^{-3}$ 、膜厚10nmのアンドープGaNスペーサ層16、キャリア濃度 $2 \times 10^{18} \text{ cm}^{-3}$ 、膜厚30nmのn型GaNドナー層17、Pt/Auゲート電極18、Ti/Alソース/ドレイン電極19が順次積層されている。なお、50は2次元電子ガスである。

【0046】このような層構造を形成するための結晶成長方法としては、MOVPE法、MBE法などを用いることができる。この実施形態では、結晶成長方法としてMOVPE法を用いた。MOVPE法のプロセスは、以下の通りである。

【0047】まず、水素雰囲気中で、基板11の温度を1100℃にして、基板クリーニングを10分間だけ行う。次に、基板11の温度を550℃に設定し、低温バッファ層12を成長させた。その後、基板11の温度を1000℃に設定し、GaNバッファ層13を成長させた。その後、700℃でGaN/InN多層膜14を成長させ、引き続き、基板温度700℃でInGaNチャネル層15を成長させた。その上のGaNスペーサ層16、GaNドナー層17は、基板温度を1000℃まで上げながら成長させた。

【0048】この実施形態の窒化物系HFETと同一の膜構造について、ホール測定を行った結果、室温における移動度 $800 \text{ cm}^2/\text{Vs}$ および77K(絶対温度)における移動度 $1200 \text{ cm}^2/\text{Vs}$ を確認した。

【0049】この実施形態では、ゲート長さを1 μm 、ソースドレイン間距離を5 μm のHFETとし、その特性を評価した結果、室温において、最大発振周波数 $f_{\text{max}}=18 \text{ GHz}$ 、トランスコンダクタンス $g_m=150 \text{ mS/mm}$ 、温度250℃において、 $g_m=100 \text{ mS/mm}$ を得た。

【0050】一方、InGaNチャネル層15に換えて、GaNチャネル層を採用した比較例では、室温において、最大発振周波数 $f_{\text{max}}=15 \text{ GHz}$ 、トランスコンダクタンス $g_m=120 \text{ mS/mm}$ 、温度200℃において、 $g_m=80 \text{ mS/mm}$ であった。したがって、この実施形態で採用したInGaNチャネル層15の効果を確認できた。また、この実施形態では、最大動作温度は300℃であった。

【0051】アンドープInGaNチャネル層15のキャリア濃度と電子移動度は、それぞれ、 $4 \times 10^{17} \text{ cm}^{-3}$ と $600 \text{ cm}^2/\text{Vs}$ となっており、その電子移動度は、GaNチャネル層の約1.5倍となっていた。この大きな移動度が、HFETの特性を大きく改善する原因となっていると考えられる。

【0052】また、この実施形態のように、GaN/InN多層膜14の上に成長させたInGaNチャネル層15の移動度と、比較例としてGaNバッファ層13の上に直接成長したInGaNチャネル層の移動度とを比

較した。その結果、この実施形態のGaN/InN多層膜14上のInGaNチャネル層15の移動度は、上記比較例のGaN層直上のInGaNチャネル層の移動度の2倍であった。これは、多層構造のGaN/InN層14を採用したことによって、基板11の界面からの転位が減少し、その結果、より組成分布の不均一が少ないInGaNチャネル層15を作製できたからであると考えられる。

【0053】〔第2の実施の形態〕次に、この発明の第2の実施の形態の窒化物系HFETを説明する。この第2実施形態は、図1に示すGaN/InN多層膜14の面内格子定数とInGaNチャネル層15の面内格子定数とが一致するように、GaN/InN多層膜14のGaN層、InN層の層厚を設定した点だけが、前述の第1の実施形態と異なっている。

【0054】この実施形態のような層構造を形成するための結晶成長方法としては、MOVPE法、MBE法などを用いることができる。この第2実施形態では、結晶成長方法としてMOVPE法を用いた。

【0055】この第2実施形態と同一の膜構造を用いてホール測定を行った結果、室温における移動度 $850 \text{ cm}^2/\text{Vs}$ および77K(絶対温度)における移動度 $1250 \text{ cm}^2/\text{Vs}$ を確認した。

【0056】この実施形態では、ゲート長さを1 μm 、ソースドレイン間距離を5 μm のHFETを作製し、その特性を評価した結果、室温において、最大発振周波数 $f_{\text{max}}=20 \text{ GHz}$ 、トランスコンダクタンス $g_m=160 \text{ mS/mm}$ 、温度250℃において、 $g_m=105 \text{ mS/mm}$ であった。

【0057】一方、InGaNチャネル層15に換えて、GaNチャネル層を採用した比較例では、室温において、最大発振周波数 $f_{\text{max}}=15 \text{ GHz}$ 、トランスコンダクタンス $g_m=120 \text{ mS/mm}$ 、温度200℃において、 $g_m=80 \text{ mS/mm}$ であった。したがって、この実施形態で採用したInGaNチャネル層15の効果を確認できた。また、この実施形態では、最大動作温度は300℃であった。

【0058】この第2実施形態においては、GaN/InN多層膜14の面内格子定数が、InGaNチャネル層15の面内格子定数と一致するように、GaN/InN多層膜14におけるGaNとInNの層厚を設定した。チャネル層15と多層膜14の面内格子定数を一致させたことによって、InGaNチャネル層15内に存在する歪を小さくすることができる。したがって、上記歪によって引き起こされる組成分布の不均一さを抑えることができ、より均質な移動度の高いInGaNチャネル層15を得ることができる。その結果、この第2実施形態では、第1実施形態よりもさらに特性を改善できた。

【0059】〔第3の実施の形態〕次に、図2に、この

発明の第3の実施の形態である窒化物系HFETの概要を表す断面を示す。

【0060】この第3実施形態の窒化物系HFETは、(0001)サファイア基板21、膜厚20nmの低温成長Ga_{0.8}Nバッファ層22、キャリア濃度 $5 \times 10^{16} \text{ cm}^{-3}$ 、膜厚2 μm のアンダーGa_{0.8}Nバッファ層23、膜厚20nm/20nm、5周期のアンダーAlN/InN層24が順次積層されている。

【0061】さらに、このアンダーAlN/InN多層膜24の上に、キャリア濃度 $4 \times 10^{17} \text{ cm}^{-3}$ 、膜厚10nmのIn_{0.2}Ga_{0.8}Nチャンネル層25、キャリア濃度 $5 \times 10^{16} \text{ cm}^{-3}$ 、膜厚10nmのアンダーGa_{0.8}Nスペーサ層26、キャリア濃度 $2 \times 10^{18} \text{ cm}^{-3}$ 、膜厚30nmのn型Ga_{0.8}Nドナー層27、Pt/Auゲート電極28、Ti/Alソース/ドレイン電極29が順次積層されている。

【0062】このような層構造を形成するための結晶成長方法としては、MOVPE法、MBE法などを用いることができる。この第3実施形態では、結晶成長方法としてMOVPE法を用いた。MOVPE法のプロセスは、以下の通りである。

【0063】まず、水素雰囲気中で基板21の温度を1100℃にして、基板クリーニングを10分間行った。次に、基板21の温度を550℃に設定し、低温バッファ層22を成長した。その後、基板21の温度を1000℃に設定し、Ga_{0.8}Nバッファ層23を成長させた。その後、700℃でAlN/InN多層膜24を成長させ、引き続き、基板温度700℃でInGa_{0.8}N層25を成長させた。その上のGa_{0.8}Nスペーサ層26の成長は基板温度を1000℃まで上げながら行った。

【0064】この実施形態の窒化物系HFETと同一の膜構造について、ホール測定を行った結果、室温における移動度 $880 \text{ cm}^2/\text{Vs}$ および77K(絶対温度)における移動度 $1250 \text{ cm}^2/\text{Vs}$ を確認した。

【0065】この実施形態では、ゲート長さを1 μm 、ソースドレイン間距離を5 μm のHFETとし、その特性を評価した結果、室温において、最大発振周波数 $f_{\text{max}} = 19 \text{ GHz}$ 、トランスコンダクタンス $g_m = 155 \text{ mS/mm}$ 、温度250℃において、 $g_m = 110 \text{ mS/mm}$ であった。

【0066】一方、InGa_{0.8}Nチャンネル層25に換えて、Ga_{0.8}Nチャンネル層を採用した比較例では、室温において、最大発振周波数 $f_{\text{max}} = 15 \text{ GHz}$ 、トランスコンダクタンス $g_m = 120 \text{ mS/mm}$ 、温度200℃において、 $g_m = 80 \text{ mS/mm}$ であった。したがって、この第3実施形態で採用したInGa_{0.8}Nチャンネル層25の効果を確認できた。また、この第3実施形態では、最大動作温度は350℃であった。

【0067】また、この実施形態のように、AlN/InN多層膜24の上に成長したInGa_{0.8}Nチャンネル層2

5の移動度と、比較例としてGa_{0.8}Nバッファ層23の上に直接に成長させたInGa_{0.8}Nチャンネル層の移動度とを比較した。その結果、この実施形態のAlN/InN多層膜24上のInGa_{0.8}Nチャンネル層25の移動度は、上記比較例のGa_{0.8}Nバッファ層23上に直接成長させたInGa_{0.8}Nチャンネル層の移動度の1.7倍であった。これは、多層構造のAlN/InN多層膜24を採用したことによって、基板21の界面からの転位が減少し、その結果、組成分布の不均一がより少ないInGa_{0.8}Nチャンネル層25を作製できたからであると考えられる。

【0068】また、この第3実施形態では、前記第1、第2実施形態が有したGa_{0.8}N/InN多層膜14のGa_{0.8}NをAlNに換えて、AlN/InN多層膜24を採用したから、InGa_{0.8}Nチャンネル層25とその下側の層23、22との電気的絶縁性をさらに高めることができる。したがって、このAlN/InN多層膜24を採用した第3実施形態によれば、Ga_{0.8}N/InN多層膜14を採用した第1、第2実施形態に比べて、InGa_{0.8}Nチャンネル層25の移動度を、より一層大きくすることができた。

【0069】〔第4の実施の形態〕次に、この発明の第4実施形態の窒化物系HFETを説明する。この第2実施形態は、図2に示すAlN/InN多層膜24の面内格子定数とInGa_{0.8}Nチャンネル層25の面内格子定数とが一致するように、AlN/InN多層膜24のAlN層、InN層の層厚を設定した点だけが、前述の第3実施形態と異なっている。

【0070】このような層構造を形成するための結晶成長方法としては、MOVPE法、MBE法などを用いることができる。この第4実施形態では、結晶成長方法としてMOVPE法を用いた。

【0071】この第4実施形態と同一の膜構造を用いてホール測定を行った結果、室温における移動度 $950 \text{ cm}^2/\text{Vs}$ および77K(絶対温度)における移動度 $1400 \text{ cm}^2/\text{Vs}$ を確認した。

【0072】この第4実施形態では、ゲート長さを1 μm 、ソースドレイン間距離を5 μm のHFETを作製し、その特性を評価した結果、室温において、最大発振周波数 $f_{\text{max}} = 21 \text{ GHz}$ 、トランスコンダクタンス $g_m = 170 \text{ mS/mm}$ 、温度250℃において、 $g_m = 130 \text{ mS/mm}$ であった。

【0073】一方、InGa_{0.8}Nチャンネル層25に替えて、Ga_{0.8}Nチャンネル層を採用した比較例では、室温において、最大発振周波数 $f_{\text{max}} = 15 \text{ GHz}$ 、トランスコンダクタンス $g_m = 120 \text{ mS/mm}$ 、温度200℃において、 $g_m = 80 \text{ mS/mm}$ であった。したがって、この実施形態で採用したInGa_{0.8}Nチャンネル層25の効果を確認できた。また、この実施形態では、最大動作温度は、380℃であった。

【0074】この第4実施形態においては、AlN/I

10

20

30

40

50

nN多層膜24の面内格子定数が、InGa_Nチャンネル層25の面内格子定数と一致するように、AlN/InN多層膜24のAlNとInNの層厚を決めた。上記面内格子定数の一致によって、InGa_Nチャンネル層25内に存在する歪を小さくし、歪によって引き起こされる組成分布の不均一さを抑えることができ、より均質な移動度の高いInGa_Nチャンネル層25を得ることができる。さらに、この第4実施形態では、前記第3実施形態と同様に、AlN層を採用したAlN/InN多層膜24による絶縁効果を発揮できる。

【0075】〔第5の実施形態〕次に、図3に、この発明の第5の実施形態である窒化物系HFETの概要を表す断面を示す。

【0076】この第5実施形態の窒化物系HFETは、(0001)Ga_N基板31、キャリア濃度 $5 \times 10^{16} \text{ cm}^{-3}$ 、膜厚 $2 \mu\text{m}$ のアンダーブGaNバッファ層32、膜厚 20 nm のアンダーブAlN障壁層33、膜厚 15 nm のアンダーブInGa_Nチャンネル層34が順次積層されている。さらに、このアンダーブInGa_Nチャンネル層34の上に、キャリア濃度 $5 \times 10^{17} \text{ cm}^{-3}$ 、膜厚 30 nm のSiドープGaNキャップ層35、Pt/Auゲート電極36、Ti/Alソース/ドレイン電極37が順次積層されている。

【0077】このような膜構造の結晶成長方法としては、第1実施形態と同様に、MOVPE法、MBE法などを用いることができる。

【0078】この第5実施形態の窒化物系HFETと同一の膜構造について、ホール測定を行った結果、室温における移動度 $900 \text{ cm}^2/\text{Vs}$ および 77 K (絶対温度)における移動度 $1300 \text{ cm}^2/\text{Vs}$ を確認した。

【0079】この実施形態では、ゲート長さを $1 \mu\text{m}$ 、ソースドレイン間距離を $5 \mu\text{m}$ のHFETとし、その特性を評価した結果、室温において、最大発振周波数 $f_{\text{max}} = 1.9 \text{ GHz}$ 、トランスコンダクタンス $g_m = 155 \text{ mS/mm}$ 、温度 250°C において、 $g_m = 110 \text{ mS/mm}$ であった。一方、アンダーブInGa_Nチャンネル層34に替えて、Ga_Nチャンネル層を採用した場合には、室温において、最大発振周波数 $f_{\text{max}} = 1.5 \text{ GHz}$ 、トランスコンダクタンス $g_m = 120 \text{ mS/mm}$ 、温度 200°C において、 $g_m = 80 \text{ mS/mm}$ であった。

【0080】〔第6の実施形態〕次に、図4に、この発明の第6の実施形態である窒化物系HFETの概要を表す断面を示す。

【0081】この第6実施形態の窒化物系HFETは、(0001)Ga_Nラテラル成長基板41、キャリア濃度 $5 \times 10^{16} \text{ cm}^{-3}$ 、膜厚 $2 \mu\text{m}$ のアンダーブGaNバッファ層42、膜厚 20 nm のアンダーブAlN障壁層43、膜厚 15 nm のアンダーブInGa_Nチャンネル層44が順次積層されている。

【0082】さらに、このInGa_Nチャンネル層44の

上に、キャリア濃度 $5 \times 10^{17} \text{ cm}^{-3}$ 、膜厚 10 nm のSiドープGaNキャップ層45、Pt/Auゲート電極46、Ti/Alソース/ドレイン電極47が順次積層されている。

【0083】上記(0001)Ga_Nラテラル成長基板41の製造方法としては、Jpn. J. Appl. Phys. Vol. 36 (1997) 899頁に開示された方法がある。また、上記膜構造の結晶成長方法としては、上述した第1実施形態と同様に、MOVPE法、MBE法などを用いることができる。

【0084】この実施形態の窒化物系HFETと同一の膜構造について、ホール測定を行った結果、室温における移動度 $880 \text{ cm}^2/\text{Vs}$ および 77 K (絶対温度)における移動度 $1250 \text{ cm}^2/\text{Vs}$ を確認した。

【0085】この実施形態では、ゲート長さを $1 \mu\text{m}$ 、ソースドレイン間距離を $5 \mu\text{m}$ のHFETとし、その特性を評価した結果、室温において、最大発振周波数 $f_{\text{max}} = 1.9 \text{ GHz}$ 、トランスコンダクタンス $g_m = 155 \text{ mS/mm}$ 、温度 250°C において、 $g_m = 110 \text{ mS/mm}$ であった。

【0086】一方、上記InGa_Nチャンネル層44に替えて、Ga_Nチャンネル層を採用した比較例では、室温において、最大発振周波数 $f_{\text{max}} = 1.5 \text{ GHz}$ 、トランスコンダクタンス $g_m = 120 \text{ mS/mm}$ 、温度 200°C において、 $g_m = 80 \text{ mS/mm}$ であった。

【0087】〔第7の実施形態〕次に、図5に、この発明の第7の実施形態である窒化物系HFETの概要を表す断面を示す。

【0088】この第7実施形態の窒化物系HFETは、サファイア基板51、膜厚 20 nm のアンダーブGaN低温バッファ層52、キャリア濃度 $5 \times 10^{16} \text{ cm}^{-3}$ 、膜厚 $1 \mu\text{m}$ のアンダーブGaNバッファ層53、被覆率 0.33 のLi原子からなるサーフィスリアクタント層54が順次積層されている。

【0089】さらに、このサーフィスリアクタント層54の上に、膜厚 30 nm のアンダーブInGa_Nチャンネル層55、キャリア濃度 $5 \times 10^{17} \text{ cm}^{-3}$ 、膜厚 10 nm のSiドープGaNキャップ層56、Pt/Auゲート電極57、Ti/Alソース/ドレイン電極58が順次積層されている。

【0090】この第7実施形態では、RF-MBE法により膜構造を作製した。RF-MBE法のプロセスは以下の通りである。

【0091】まず始めに、真空中で基板51の温度を 800°C にして、基板クリーニングを10分間行う。次に、基板51の温度を 550°C に設定し、結晶成長を良くするために、窒素ラジカルを基板51に照射して、基板表面を窒化する。その後、Ga_N(またはAlN)低温バッファ層52を成長した。次に、窒素ラジカルを照射しながら基板温度を 750°C まで上昇し、Ga_Nバッ

ァ層53を成長した。そして、このGa_{0.5}N_{0.5}バッファ層53を成長させた後、基板温度を600℃に設定し、Liビームを照射し、所望の表面被覆率となるように、RHEED(反射高速電子線回折)の表面再構成パターンを用いて調整した。この所望の表面被覆率は、RHEEDの再構成パターンから求めた。そして、引き続き、基板温度600℃で、InGa_{0.5}N_{0.5}チャンネル層55を成長させ、最後に、基板温度を750℃まで上げながら、Ga_{0.5}N_{0.5}キャップ層56を成長させた。

【0092】この第7実施形態の窒化物系HFETと同一の膜構造について、ホール測定を行った結果、室温における移動度800cm²/Vsおよび77K(絶対温度)における移動度1150cm²/Vsを確認した。

【0093】この実施形態では、ゲート長さを1μm、ソースドレイン間距離を5μmのHFETとし、その特性を評価した結果、室温において、最大発振周波数 $f_{\max}=18\text{GHz}$ 、トランスコンダクタンス $g_m=155\text{mS/mm}$ 、温度250℃において、 $g_m=105\text{mS/mm}$ であった。

【0094】一方、InGa_{0.5}N_{0.5}チャンネル層55に替えて、Ga_{0.5}N_{0.5}チャンネル層を採用した比較例では、室温において、最大発振周波数 $f_{\max}=15\text{GHz}$ 、トランスコンダクタンス $g_m=120\text{mS/mm}$ 、温度200℃において、 $g_m=80\text{mS/mm}$ であった。したがって、この第7実施形態で採用したInGa_{0.5}N_{0.5}チャンネル層55の効果を確認できた。また、この第7実施形態では、最大動作温度は、280℃であった。

【0095】なお、この第7実施形態では、サーフィスリアクタント層54として、被覆率0.33のLi原子を用いたが、これ以外の被覆率1以下のBe, Na, Mg, K, Ca, Zn, S, Se, Te原子を用いても同様の効果が得られた。

【0096】尚、上記第1~第7実施形態では、2次元電子ガスを利用する半導体装置をヘテロ構造電界効果型トランジスタ(HFET)としたが、高電子移動度トランジスタ(HEMT)、および変調ドープ電界効果型トランジスタ(MODFET)にも適用できる。

【0097】

【発明の効果】以上より明らかなように、請求項1の発明の窒化物系III-V族化合物半導体装置は、InGa_{0.5}N_{0.5}チャンネル層をGa_{0.5}N_{0.5}/In_{0.5}N_{0.5}多層膜の上に形成したから、組成分布が均一なInGa_{0.5}N_{0.5}チャンネル層を形成できる。その結果、従来よりも大きな電子移動度を有するHFETを実現できる。

【0098】InGa_{0.5}N_{0.5}膜を、Ga_{0.5}N_{0.5}およびIn_{0.5}N_{0.5}からなる多層膜の上に成長させることによって、歪のエネルギーを低減でき、InGa_{0.5}N_{0.5}膜の組成分布を均一化でき、Ga_{0.5}N_{0.5}よりも移動度の大きいInGa_{0.5}N_{0.5}膜を成長できる。

【0099】また、請求項2の発明は、請求項1に記載

の窒化物系III-V族化合物半導体装置において、上記Ga_{0.5}N_{0.5}/In_{0.5}N_{0.5}多層膜を、2対以上のGa_{0.5}N_{0.5}/In_{0.5}N_{0.5}構造で構成したから、歪のエネルギーをより低減でき、InGa_{0.5}N_{0.5}チャンネル層の組成分布をより一層均一化でき、電子移動度のより大きなHFETを実現できる。

【0100】また、請求項3の発明は、請求項1または2に記載の窒化物系III-V族化合物半導体装置において、Ga_{0.5}N_{0.5}/In_{0.5}N_{0.5}多層膜の平均面内格子定数が、InGa_{0.5}N_{0.5}チャンネル層の面内格子定数と同じになるように、Ga_{0.5}N_{0.5}とIn_{0.5}N_{0.5}の層厚比が設定されている。したがって、歪のエネルギーを最小にすることができる。

【0101】また、請求項4の発明の窒化物系III-V族化合物半導体装置は、InGa_{0.5}N_{0.5}チャンネル層が、Al_{0.5}N_{0.5}/In_{0.5}N_{0.5}多層膜の上に形成されているから、組成分布が均一なInGa_{0.5}N_{0.5}層を形成することができ、より大きな移動度を有するHFETを実現できる。

【0102】Al_{0.5}N_{0.5}/In_{0.5}N_{0.5}多層膜の上に、InGa_{0.5}N_{0.5}チャンネル層を成長することによって、歪のエネルギーを低減でき、InGa_{0.5}N_{0.5}チャンネル層の組成分布を均一化でき、Ga_{0.5}N_{0.5}よりも移動度の大きいInGa_{0.5}N_{0.5}チャンネル層を形成できる。

【0103】また、請求項5の発明は、請求項4に記載の窒化物系III-V族化合物半導体装置において、上記Al_{0.5}N_{0.5}/In_{0.5}N_{0.5}多層膜が、2対以上のAl_{0.5}N_{0.5}/In_{0.5}N_{0.5}構造で構成されているから、歪のエネルギーをより低減でき、InGa_{0.5}N_{0.5}チャンネル層の組成分布をより一層均一化できる。したがって、電子移動度のより大きなHFETを実現できる。

【0104】また、請求項6の発明は、請求項4または5に記載の窒化物系III-V族化合物半導体装置において、上記Al_{0.5}N_{0.5}/In_{0.5}N_{0.5}多層膜の平均面内格子定数が、InGa_{0.5}N_{0.5}チャンネル層の面内格子定数と同じになるように、Al_{0.5}N_{0.5}とIn_{0.5}N_{0.5}の層厚比を設定したので、歪のエネルギーを最小にすることが可能となる。

【0105】また、請求項7の発明は、InGa_{0.5}N_{0.5}からなるInGa_{0.5}N_{0.5}チャンネル層と、バルクのGa_{0.5}N_{0.5}あるいはラテラル成長によるGa_{0.5}N_{0.5}厚膜を材料として用いたGa_{0.5}N_{0.5}基板を備えた。

【0106】この請求項7の発明では、基板材料としてバルクのGa_{0.5}N_{0.5}あるいはラテラル成長によるGa_{0.5}N_{0.5}厚膜を用いたので、上に述べた歪エネルギー低減効果がさらに大きくなる。バルクあるいは厚膜の上に、InGa_{0.5}N_{0.5}膜を成長させることによって、サファイア基板などの上にInGa_{0.5}N_{0.5}膜を成長した時に比べて、InGa_{0.5}N_{0.5}膜がより理想的な無歪の状態に近づいて、組成分布の不均一さがさらに小さくなる。

【0107】また、請求項8の発明は、InGa_{0.5}N_{0.5}チャンネル層がAl_{1-x}Ga_yIn_{1-x-y}(0≤x≤1, 0≤y≤1)膜の上に形成されたサーフィスリアクタント層の上に形成されている。このように、基板とInGa_{0.5}N_{0.5}チャ

10

20

30

40

50

ネル層との間に、サーフィスリアクタント層を挿入することによって、3次元的な膜の成長を2次元的な膜の成長に変えることが可能となり、InGa_{1-x}Nチャンネル層の組成分布をより均一化できる。

【0108】また、請求項9の発明は、請求項8に記載の窒化物系III-V族化合物半導体装置において、サーフィスリアクタント層が、Li, Be, Na, Mg, K, Ca, Zn, S, Se, Teのうちの少なくとも1つで構成されている。

【0109】この請求項9の発明では、サーフィスリアクタント層が、Li, Be, Na, Mg, K, Ca, Zn, S, Se, Teのうちの少なくとも1つで構成されているから、3次元的な膜の成長を2次元的な膜の成長に変えることができ、InGa_{1-x}Nチャンネル層の組成分布をより均一化できる。

【0110】なお、サーフィスリアクタント層をSi, Geなどで構成すると、3次元的な膜の成長を促進するので、サーフィスリアクタント層としては好ましくない。

【0111】また、請求項10の発明は、請求項8または9に記載の窒化物系III-V族化合物半導体装置において、上記サーフィスリアクタント層の表面被覆率が1以下であるから、その上に成長されるInGa_{1-x}Nチャンネル層の結晶性を劣化させることがない。

【0112】この発明では、InGa_{1-x}Nをチャンネル材料として用いているが、これは組成分布の無いInGa_{1-x}Nの移動度が、Ga_{1-x}Nの移動度よりも優れているからである。また、In_xGa_{1-x}Nの組成としては、X>0の範囲であればよい。

【0113】このようにして、組成分布の無いGa_{1-x}Nよりも移動度が大きいInGa_{1-x}N膜を得ることが可能となり、このInGa_{1-x}N膜をチャンネル層として用いることによって、チャンネル電子移動度の大きな窒化物系III-V族化合物半導体装置を実現できる。

【図面の簡単な説明】

【図1】 この発明の窒化物系III-V族化合物半導体装置の第1実施形態であるHFETの素子構造を表す断面図である。

【図2】 この発明の第3実施形態のHFETの素子構造を表す断面図である。

【図3】 この発明の第5実施形態のHFETの素子構造を表す断面図である。

【図4】 この発明の第6実施形態のHFETの素子構造を表す断面図である。

【図5】 この発明の第7実施形態のHFETの素子構造を表す断面図である。

【図6】 従来のGaAs系HFETの構造を示す図である。

【図7】 GaN系HFETの従来例を示す図である。

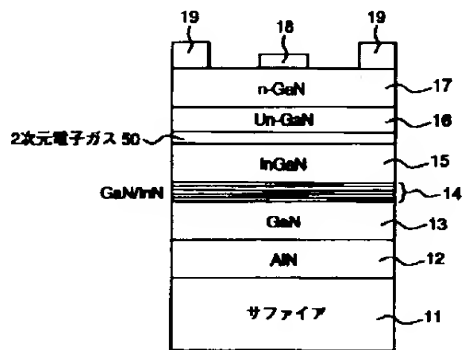
【図8】 GaN系逆構造HFETの従来例を示す図である。

【図9】 GaNにおけるキャリア濃度と移動度の関係を示す図である。

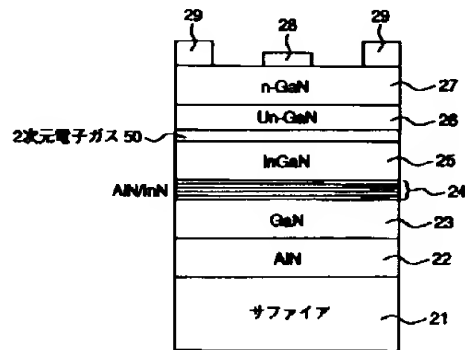
【符号の説明】

11…(0001)サファイア基板、12…低温成長AlNバッファ層、13…アンドープGaNバッファ層、14…アンドープGaN/InN層、15…アンドープInGa_{1-x}Nチャンネル層、16…アンドープGaNスペーサー層、17…n型GaNドナー層、18…ゲート電極、19…ソース/ドレイン電極、21…(0001)サファイア基板、22…低温成長GaNバッファ層、23…アンドープGaNバッファ層、24…AlN/InN層、25…アンドープInGa_{1-x}Nチャンネル層、26…アンドープGaNスペーサー層、27…n型GaNドナー層、28…ゲート電極、29…ソース/ドレイン電極、31…(0001)GaN基板、32…アンドープGaNバッファ層、33…アンドープAlN障壁層、34…アンドープInGa_{1-x}Nチャンネル層、35…SiドープGaNキャップ層、36…Pt/Auゲート電極、37…Ti/Alソース/ドレイン電極、41…(0001)GaNラテラル成長基板、42…アンドープGaNバッファ層、43…アンドープAlN障壁層、44…アンドープInGa_{1-x}Nチャンネル層、45…SiドープGaNキャップ層、46…Pt/Auゲート電極、47…Ti/Alソース/ドレイン電極、51…サファイア基板、52…アンドープGaN低温バッファ層、53…アンドープGaNバッファ層、54…サーフィスリアクタント層、55…アンドープInGa_{1-x}Nチャンネル層、56…SiドープGaNキャップ層、57…Pt/Auゲート電極、58…Ti/Alソース/ドレイン電極。

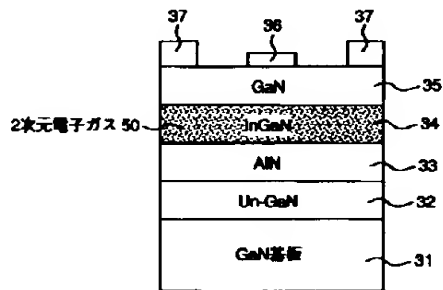
【図1】



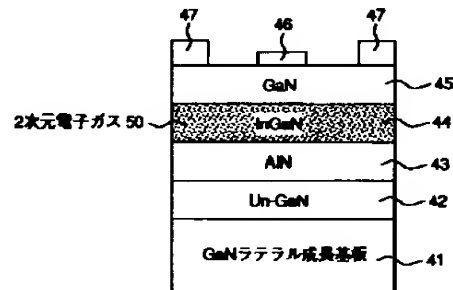
【図2】



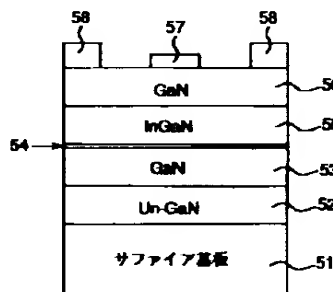
【図3】



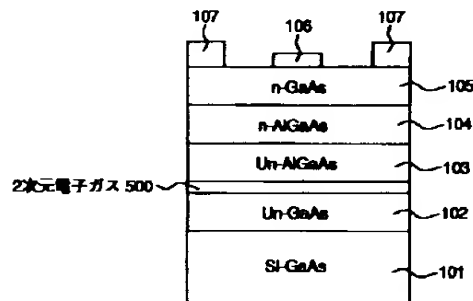
【図4】



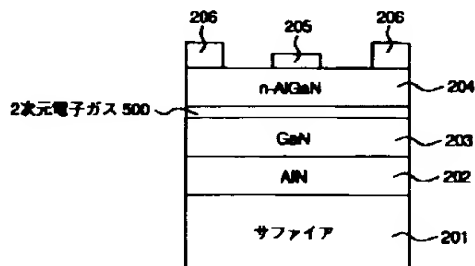
【図5】



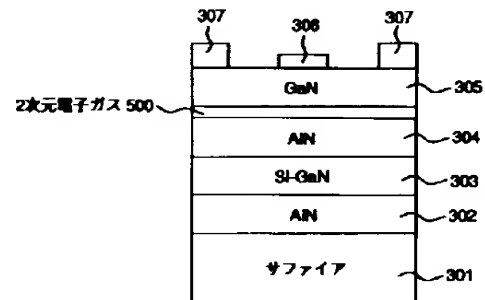
【図6】



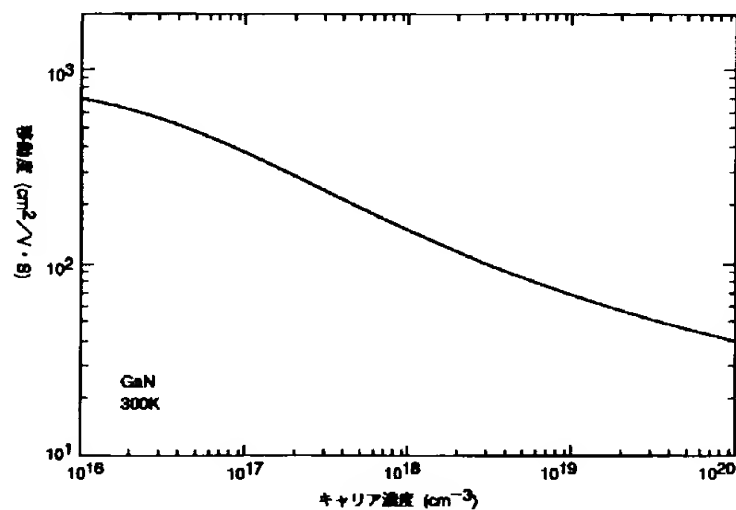
【図7】



【図8】



【図9】



フロントページの続き

Fターム(参考) 5F045 AA04 AB09 AB14 AD09 AD11
 AD12 AD13 AD14 AF04 AF09
 BB04 BB16 CA07 DA53 HA06
 HA07
 5F102 FA02 GB01 GC01 GD01 GJ04
 GJ10 GK08 GK09 GL04 GL08
 GL09 GM04 GQ01 GT03 HC01